

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-121344

(43)Date of publication of application : 25.05.1988

(51)Int.Cl.

H04L 25/02

H04L 7/04

(21)Application number : 61-268258

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.11.1986

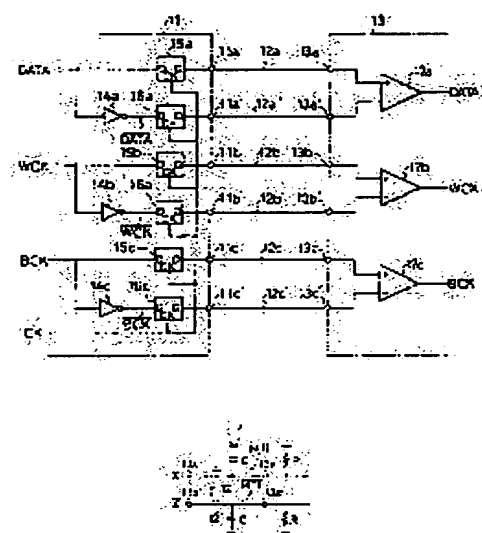
(72)Inventor : NAGATA MITSURU

(54) DIGITAL SIGNAL TRANSMITTER

(57)Abstract:

PURPOSE: To transmit an accurate digital signal by respectively inputting an inputted digital signal to be transmitted and inverted signal in the input edge to be inverted and the inverted input edge of a differential circuit and generating a difference signal between them.

CONSTITUTION: In a digital signal output circuit 11, the respective inverted signals of the data DATA, word clock WCK and a bit clock BCK of the digital signal to be transmitted are generated by invertors 14a~14c and they are synchronized based on a reference clock CK by FFs 15a~15c and 16a~16c. The synchronized signals are A/D converted 13 through transmission lines 12a, 12a':12b, 12b':12c, 12c'. At this time the alternating current I and an inversion I whose phases are opposite each other are conducted to the lines 12 and 12' with the suspended capacity C of the lines 12 and 12' and the impedance R of circuit 13 and an electromagnetic wave MTI and an inverted MTI are generated. But the electromagnetic fluxes radially are cancelled so that they do not have an unfavorable influence upon other transmission signal. Even if external noise are mixed, the component of the noise can be denied by differential amplification 17.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-121344

⑫ Int.Cl.⁴H 04 L 25/02
7/04

識別記号

庁内整理番号

V-7345-5K
B-6745-5K

⑬ 公開 昭和63年(1988)5月25日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタル信号伝送装置

⑮ 特 願 昭61-268258

⑯ 出 願 昭61(1986)11月11日

⑰ 発 明 者 永 田 満 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝磯子工場内
 ⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
 ⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

デジタル信号伝送装置

2. 特許請求の範囲

出力回路で生成されたデジタル信号を入力回路へ伝送するデジタル信号伝送装置において、前記出力回路に設けられ被伝送デジタル信号の反転信号を生成し、この反転信号と前記被伝送デジタル信号とを同期化する反転同期化回路と、この反転同期化回路で同期化された被伝送デジタル信号及び反転信号をそれぞれ独立して前記入力回路へ伝送する一対の伝送線と、前記入力回路に設けられ前記一対の伝送線によって伝送される被伝送デジタル信号及び反転信号をそれぞれ被反転入力端及び反転入力端に入力し両者の差信号を生成する差動回路とを具備したことを特徴とするデジタル信号伝送装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、デジタル信号伝送装置に係り、特に伝送中に発生するノイズを低減するための改良に関する。

(従来技術)

従来、デジタル信号を回路間で伝送する際、単に1本の信号線で行なっていた。例えばデジタルA/V機器では、第7図に示すように、音声信号を所定のフォーマットでデジタル化したデジタルデータDATA、ワードの区切りを示すワードクロックWCK、ビットの区切りを示すビットBCK、その他同期信号(図示せず)の各デジタル信号が供給されるデジタル信号出力回路11の各出力端子11a~11cとD/A(デジタル・アナログ)変換回路13の各入力端子13a~13cとをそれぞれ1本の伝送線12a~12cで接続し、一線式でデジタル信号を伝送している。

しかしながら、上記のような従来技術のデジタル信号伝送装置では、第8図の等価回路に示すように、伝送線12に存在する浮遊容量CやD/A変換回路13の入力インピーダンスR等によって伝送線12に

必然的に交番電流 I が流れ、これにより発生する電磁波 $M T I$ が他の伝送線に飛んだり、他の回路や機器に妨害を与えたりする。特に、第9図(a)に示すように被伝送デジタル信号の立上がり(または立下がり)時にノイズ N が混入されると、同図(b)に示すように D/A 変換回路で読込んだ波形に位相ずれが出てジッタが生じ、 D/A 変換動作に支障をきたすことになる。

(発明が解決しようとする問題点)

この発明は、従来装置ではデジタル信号伝送時に発生する電磁波により他の伝送信号または他の機器の信号に悪影響を与え、さらに伝送中に混入された外來ノイズによって後段回路の動作に支障をきたすという問題を改善するためになされたもので、デジタル信号の伝送中に発生する電磁波による他の伝送信号または他の機器の信号への悪影響を防止すると共に、伝送中に外來ノイズが混入されても元の信号タイミングを再生し、正確なデジタル信号を伝送することのできるデジタル信号伝送装置を提供することを目的とする。

た、入力回路側で両者の差信号を生成することにより混合されたノイズ成分が打消されるので、元の信号タイミングが正確に得られる。

(実施例)

以下、第1図乃至第6図を参照してこの発明の一実施例を説明する。

第1図は第7図に示したデジタルAV機器のデジタル信号伝送部にこの発明を適用した場合の構成を示すもので、デジタル信号出力回路11にはデジタルデータ $D A T A$ 、ワードクロック $W C K$ 、ビットクロック $B C K$ の各反転信号を生成するインバータ $14a \sim 14c$ と、デジタルデータ $D A T A$ 、ワードクロック $W C K$ 、ビットクロック $B C K$ とそれぞれ対応するインバータ $14a \sim 14c$ の各出力信号 $\overline{D A T A}$ 、 $\overline{W C K}$ 、 $\overline{B C K}$ とを基準クロック $C K$ に基づいて同期化する D 型フリップフロップ $15a \sim 15c$ 、 $16a \sim 16c$ が設けられており、各フリップフロップ $15a \sim 15c$ 、 $16a \sim 16c$ の各出力端 Q はそれぞれ出力回路11の第1の出力端子 $11a \sim 11c$ 、第2の出力端子 $11a' \sim 11c'$ に接続さ

【発明の構成】

(問題点を解決するための手段)

この発明に係るデジタル信号伝送装置は、出力回路に被伝送デジタル信号の反転信号を生成し、この反転信号と被伝送デジタル信号とを同期化する反転同期化回路を設け、反転同期化回路で同期化された被伝送デジタル信号及び反転信号を一对の伝送線によってそれぞれ独立して前記入力回路へ伝送し、入力回路に差動回路を設け、入力された被伝送デジタル信号及び反転信号をそれぞれ差動回路の被反転入力端及び反転入力端に入力し両者の差信号を生成するように構成したものである。

(作用)

上記構成によるデジタル信号伝送装置は、出力回路で被伝送デジタル信号の反転信号を生成し、さらに被伝送デジタル信号と反転信号とを同期化して、それぞれ独立して入力回路に送るので、両伝送線には逆相の交番電流が流れる。このため、両伝送線に発生する電磁波は打消し合うので、他の伝送線あるいは他の機器に影響を与えない。ま

れる。

一方、 D/A 変換回路13には差動増幅器 $17a \sim 17c$ が設けられ、該差動増幅器 $17a \sim 17c$ の各非反転入力端 (+) は第1の入力端子 $13a \sim 13c$ に接続され、反転入力端 (-) は第2の入力端子 $13a' \sim 13c'$ に接続される。そして、デジタル信号出力回路11及び D/A 変換回路13間において、 $11a$ 、 $11a'$ と $13a$ 、 $13a'$ は一对の伝送線 $12a$ 、 $12a'$ で接続され、 $11b$ 、 $11b'$ と $13b$ 、 $13b'$ は一对の伝送線 $12b$ 、 $12b'$ で接続され、 $11c$ 、 $11c'$ と $13c$ 、 $13c'$ は一对の伝送線 $12c$ 、 $12c'$ で接続される。

上記差動増幅器 $17a \sim 17c$ は、例えば第2図に示すような差動対トランジスタ $Q1$ 、 $Q2$ による回路あるいは第3図に示すような差動対電界効果トランジスタ $Q3$ 、 $Q4$ による回路で応答性を良好にして構成する。

上記構成において、以下その動作について説明する。

まず、デジタル信号出力回路11では、インバー

タ14a～14cによって被伝送デジタル信号であるデータDATA、ワードクロックWCK、ビットクロックBCKの反転信号 \overline{DATA} 、 \overline{WCK} 、 \overline{BCK} が生成され、それぞれフリップフロップ15a～15c、16a～16cにより基準クロックCKに基づいて、第4図に示すように同期化される。

このように同期化されたDATA、 \overline{DATA} 、WCK、 \overline{WCK} 、BCK、 \overline{BCK} はそれぞれ一對の伝送線12a、12a'、12b、12b'、12c、12c'を通じてD/A変換回路13へ伝送されるが、このとき第5図の等価回路に示すように、各一對の伝送線12、12'の持つ浮遊容量C及びD/A変換回路13の入力インピーダンスRによって互いに逆相の交番電流I、 \overline{I} が各伝送線12、12'に流れ、電磁波MTI、 \overline{MTI} が発生する。しかし、各一對の伝送線12、12'に発生する電磁波は互いに逆相であるため、放射時に打消し合って他の伝送信号や他の機器の信号に悪影響を及ぼすようなことはない。

また、一對の伝送線12、12'の各伝送信号

$X(=DATA, WCK, BCK)$ 、

$\overline{X}(=\overline{DATA}, \overline{WCK}, \overline{BCK})$ に外来ノイズが混入したとしても、第6図(a)に示すように同相で混入される。このため、両伝送信号X、 \overline{X} を差動増幅器17で減算すると、ノイズ成分は打消されてしまうことになる。これによって差動増幅器17の出力は、同図(b)に示すように、被伝送デジタル信号の立上がりあるいは立下がりのタイミングに一致するようになるので、これをD/A変換してもジッタが発生するようなことはない。

したがって、上記構成によるデジタル信号伝送装置を用いれば、デジタル信号の伝送中に発生する電磁波によって他の伝送信号または他の機器に与える悪影響を防止することができ、また被伝送デジタル信号に外来ノイズが混合されてもこれをキャンセルすることができるので、後段回路の動作に影響を及ぼすことはない。

【発明の効果】

以上のようにこの発明によれば、デジタル信号の伝送中に発生する電磁波による他の伝送信号

または他の機器の信号への悪影響を防止すると共に、伝送中に外来ノイズが混入されても元の信号タイミングを再生し、正確なデジタル信号を伝送することのできるデジタル信号伝送装置を提供することができる。

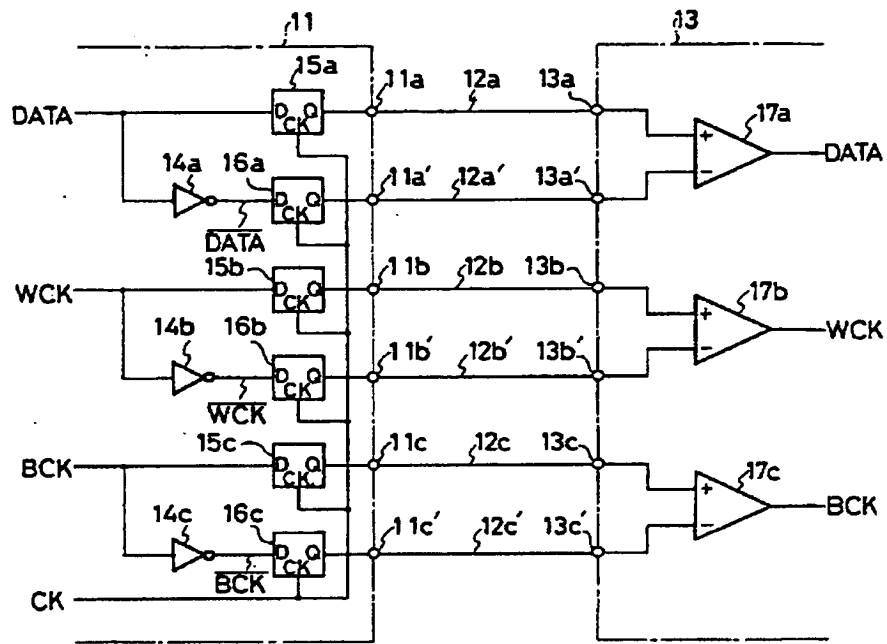
4. 図面の簡単な説明

第1図はこの発明に係るデジタル信号伝送装置の一実施例を示す回路構成図、第2図及び第3図はそれぞれ同実施例に用いられる差動増幅器の具体的な構成を示す回路図、第4図乃至第6図はそれぞれ同実施例の動作を説明するための図、第7図は従来のデジタル信号伝送装置の構成を示す回路図、第8図及び第9図はそれぞれ従来回路の動作を説明するための図である。

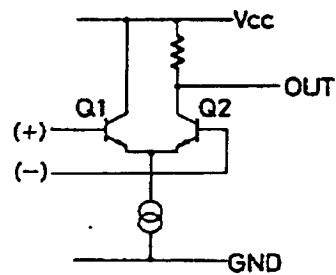
11…デジタル信号出力回路、12a、12a'、12b、12b'、12c、12c'…伝送線、13…D/A変換回路、14a～14c…インバータ、15a～15c、16a～16c…D型フリップフロップ、17a～17c…差動増幅器、DATA…デジタル信号、WCK…ワードクロック、BCK…ビットク

ロック、CK…基準クロック。

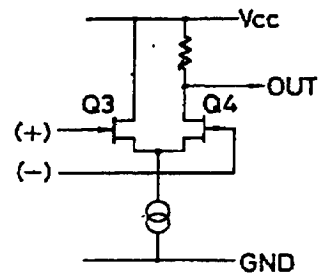
出願人代理人 弁理士 鈴江武彦



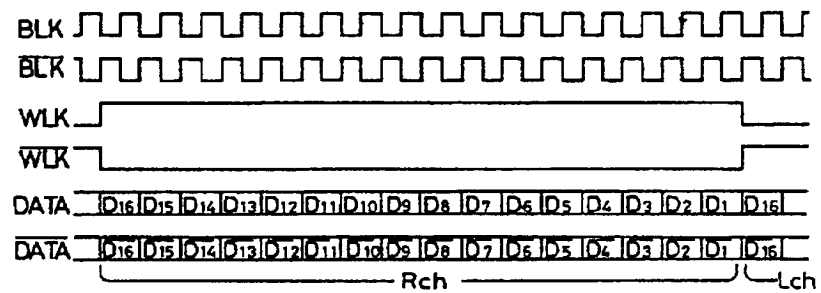
第 1 図



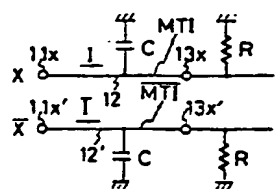
第 2 図



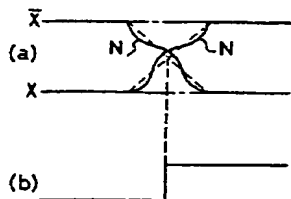
第 3 図



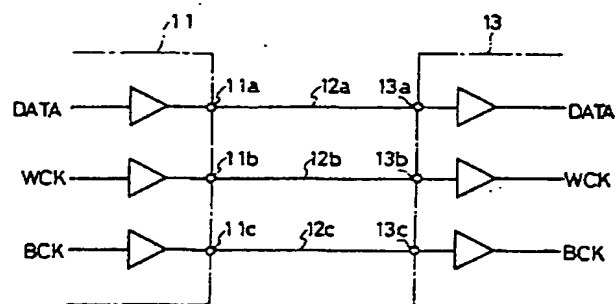
第 4 図



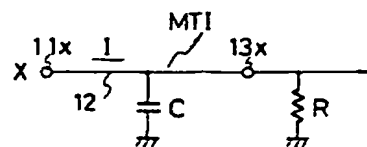
第 5 図



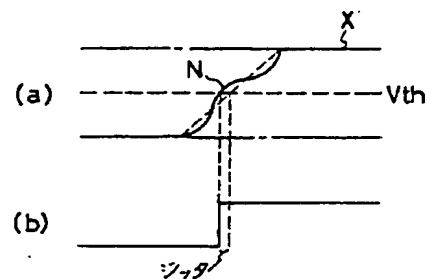
第 6 図



第 7 図



第 8 図



第 9 図

THIS PAGE BLANK (USPTO)